








**Master-slave data communication system with flexible one-wire bus.**

**Publication number:** EP0489944  
**Publication date:** 1992-06-17  
**Inventor:** HEBERLE KLAUS DIPL-ING FH (DE)  
**Applicant:** ITT IND GMBH DEUTSCHE (DE)  
**Classification:**  
- international: **H04L12/413; H04L12/407;** (IPC1-7): H04L12/40  
- European: H04L12/413B  
**Application number:** EP19900123647 19901208  
**Priority number(s):** EP19900123647 19901208

**Also published as:**

 US5237322 (A1)  
 JP4274637 (A)  
 EP0489944 (B1)

**Cited documents:**

 EP0315158  
 EP0217571  
 EP0069509  
 US4438491

**Report a data error here**

**Abstract of EP0489944**

Master-slave data transmission system with a flexible one-wire bus (B) which is suitable for multiple-master and multiple-slave data transmission operation, where a master (M) in each case transmits data to a slave (S) or retrieves data from it. A flexible telegram (T) with a variable-length address part (ad) and a variable-length data part (dt) is used for the data transfer, where the start and the end of the individual telegram parts are defined by markers (mi) and a constant bit clock is transmitted at least during the telegram (T). In multiple-master mode, a priority controller prevents simultaneous access of a plurality of masters (M, M1, M2) to the one-wire bus (B).

---

Data supplied from the **esp@cenet** database - Worldwide



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



Veröffentlichungsnummer: **0 489 944 A1**

**EUROPÄISCHE PATENTANMELDUNG**

Anmeldenummer: 90123647.1

Int. Cl.5: **H04L 12/40**

Anmeldetag: 08.12.90

Veröffentlichungstag der Anmeldung:  
17.06.92 Patentblatt 92/25

Anmelder: **DEUTSCHE ITT INDUSTRIES GMBH**  
**Hans-Bunte-Strasse 19 Postfach 840**  
**W-7800 Freiburg i.Br.(DE)**

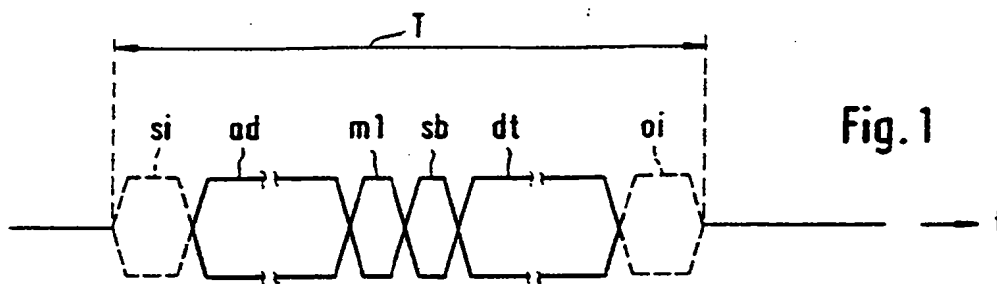
Benannte Vertragsstaaten:  
**AT BE CH DE DK ES FR GB GR IT LI LU NL SE**

Erfinder: **Heberle, Klaus, Dipl.-Ing. (FH)**  
**Hinter den Eichen 42**  
**W-7801 Reute(DE)**

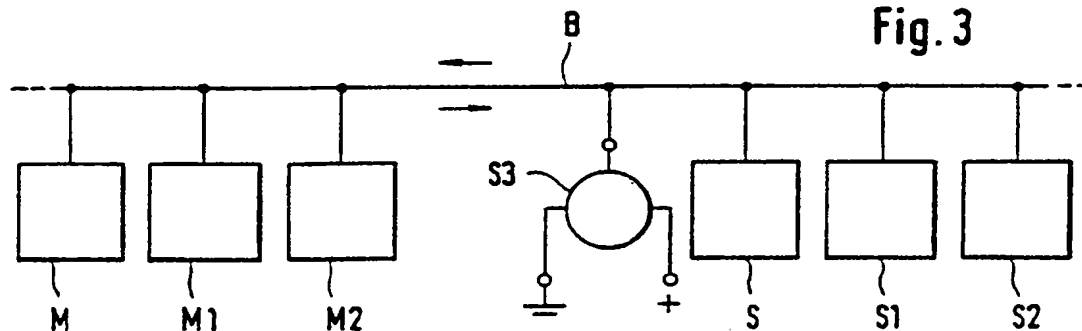
**Master-Slave-Datenübertragungssystem mit flexiblem Eindraht-Bus.**

Master-Slave-Datenübertragungssystem mit einem flexiblen Eindraht-Bus (B), das für einen mehrfachen Master- und einen mehrfachen Slave-Datenübertragungsbetrieb geeignet ist, wobei jeweils ein Master (M) an einen Slave (S) Daten sendet oder von dort abrufen. Dem Datentransfer dient ein flexibles Telegramm (T) mit einem in der Länge variablen Adreßteil (ad) und in einem in der Länge variablen

Datenteil (dt), wobei der Beginn und das Ende der einzelnen Telegrammteile durch Marken (mi) definiert sind und mindestens während des Telegramms (T) ein konstanter Bittakt übertragen wird. Im mehrfachen Master-Betrieb verhindert eine Prioritätssteuerung den gleichzeitigen Zugriff von mehreren Master (M, M1, M2) auf den Eindraht-Bus (B).



**Fig. 1**



**Fig. 3**

1. Die Erfindung betrifft ein Master-Slave-Datenübertragungssystem mit einem Master, der an einen Slave Daten sendet oder von dort abrufen, wobei der Datentransfer über einen Eindraht-Bus mittels eines Telegramms erfolgt, das folgende Teilabschnitte enthält: einen Adreßteil, der die Datensenke oder die Datenquelle im Slave definiert, einen Datenteil, der entweder die gesendeten oder die abgerufenen Daten enthält und schließlich eine Start- und eine Endinformation, vgl. den Oberbegriff des Anspruchs 1.

Ein derartiges Master-Slave-Datenübertragungssystem mit einem Eindraht-Bus ist an und für sich bekannt, beispielsweise auf dem Gebiet der Fernwirktechnik mit einem einzigen Datenübertragungskanal. Die konfliktfreie Steuerung des Eindraht-Busses erfordert im Falle von mehreren Mastern und/oder mehreren Slaves eine aufwendige Steuerschaltung, die man nur dann in Kauf nimmt, wenn zusätzliche Bus- und Steuerleitungen wegen der Entfernung unbedingt zu vermeiden sind. Der Fortschritt in der Integrationstechnik, insbesondere bei der monolithisch integrierten Schaltungstechnik, erlaubt es jedoch, bisher eher als passiv anzusehende Bauelemente mit "elektronischer Intelligenz" auszurüsten. Dies kann auch bei Datenübertragungssystemen, bei denen der Entfernungsgesichtspunkt weniger entscheidend ist, wie noch gezeigt werden wird, zu großen Vorteilen führen.

Es ist daher Aufgabe der in den Ansprüchen gekennzeichneten Erfindung, für ein Master-Slave-Datenübertragungssystem ein flexibles Eindraht-Bus-System anzugeben, das einen mehrfachen Master- und einen mehrfachen Slave Betrieb ermöglicht und dessen Datenformat an die jeweilige Übertragungs- und Betriebsanforderung optimal angepaßt werden kann.

Die Lösung dieser Aufgabe erfolgt nach den im Kennzeichen des Anspruchs 1 angegebenen Merkmalen. Weitere, besonders vorteilhafte Ausführungen sind in abhängigen und unabhängigen Ansprüchen unter Schutz gestellt. Einige der Vorteile, die sich durch die Erfindung ergeben, sind im folgenden aufgeführt:

Die Flexibilität des Master-Slave-Datenübertragungssystems mit dem Eindraht-Bus ergibt sich im wesentlichen daraus, daß die einzelnen Elemente des Datenformats von Telegramm zu Telegramm sowohl in ihrer Anzahl als auch in sich variieren können.

Ein Vorteil ergibt sich aus der frei wählbaren Adreßlänge, wodurch der rasche Zugriff auf wichtige Daten über eine Kurzadresse ermöglicht wird.

Ein weiterer Vorteil ergibt sich bei Datenübertragungssystemen, die derartige Master und Slaves als austauschbare Bauelemente enthalten. Eine Anwendung findet sich beispielsweise im Kraftfahr-

zeugbereich, wenn ein oder mehrere als Master dienende Prozessoren aus räumlich auseinanderliegenden Sensoren, die als Slaves dienen, Daten abrufen müssen.

Neben der Einsparung von Datenleitungen - es genügt ein einziger Eindraht-Bus, an den alle Elemente angeschlossen sind - ist auch die Anzahl der Kontaktanschlüsse der jeweiligen Bauelemente ein wichtiger Gesichtspunkt. Je weniger Anschlußbeine und Verbindungsleitungen vorhanden sind, desto weniger besteht die Gefahr der Vertauschung oder des Ausfalls durch Leitungsunterbrechungen oder Kontaktprobleme.

Die frei wählbare Adreßlänge erleichtert auch den Austausch oder die Nachrüstung. Denn neue, zusätzliche Funktionen, die über längere Adressen als sogenannte Optionen abzurufen sind, kommen mit bisherigen Funktionen nicht in Konflikt, weil diese nach wie vor über die bisherigen, kürzeren Adressen abzurufen sind.

Ein weiterer Vorteil ergibt sich aus der Einsparung von Anschlußbeinen bei selbständigen Bauelementen, die in einem derartigen System zusammengekoppelt sind. Im Extremfall läßt sich die Anzahl der Anschlußbeine von "intelligenten" Sensoren, Speichern, Gebern usw. bis auf drei reduzieren.

Die Erfindung und ihre Vorteile werden nun anhand der Figuren der Zeichnung näher erläutert:

Fig. 1 zeigt schematisch ein einfaches Format des Telegramms auf dem Eindraht-Bus,

Fig. 2 zeigt schematisch ein erweitertes Format,

Fig. 3 zeigt schematisch als Blockschaltbild drei Master und vier Slaves, die über einen Eindraht-Bus miteinander gekoppelt sind,

Fig. 4 zeigt schematisch einen Telegrammausschnitt,

Fig. 5 zeigt schematisch als Blockschaltbild die einzelnen Funktionsgruppen eines Masters in einer aufwendigen Ausführung,

Fig. 6 zeigt als Blockschaltbild die einzelnen Funktionsgruppen eines Slaves in einer aufwendigen Ausführung,

Fig. 7 zeigt als Blockschaltbild schematisch eine Adreßlängen-Überprüfungseinrichtung,

Fig. 8 zeigt als Blockschaltbild schematisch eine Mehrfachdatenquelle in einem Slave, die Teil eines Sensorbauelementes ist,

Fig. 9 zeigt schematisch ein dreibeiniges Sensorbauelement,

Fig. 10 zeigt schematisch als Blockschaltbild ein erstes Speicherbauelement und

Fig. 11 zeigt schematisch ein dreibeiniges Speicherbauelement.

In Fig. 1 beginnt das Telegramm T mit einer Startinformation si. An dieses schließt sich ein in der Länge variable Adreßteil ad, eine erste Marke m1, ein Synchronisierbit sb, ein in der Länge vari-

ablen Teil dt und schließlich eine Endinformation oi an. Vor und nach dem Telegramm nimmt der Eindraht-Bus B (vgl. Fig. 3) einen Ruhe- oder Wartezustand ein. Im Ruhezustand wird der Eindraht-Bus entweder hochohmig geschaltet oder auf ein oberes oder unteres Schaltpotential gelegt, vgl. auch Fig. 4. Außerhalb des Telegramms T kann auf dem Eindraht-Bus ein Bittakt bt als Wartesignal übertragen werden. In diesem Fall kann die Übertragung spezieller Bits für die Start- und Endinformation si, oi entfallen. In bezug auf den Wartezustand mit gesendetem Bittakt ist die Startinformation si durch die letzte Bittaktperiode und die Endinformation oi durch zwei unmittelbar aufeinanderfolgende Bittaktperioden definiert. Zweckmäßigerweise ist die erste Marke m1 und das Synchronisierbit sb jeweils ebenfalls nur eine Bittaktperiode lang. Fig. 4 zeigt, wie über unterschiedliche Tastverhältnisse die einzelnen Signale unterscheidbar sind.

In Fig. 2 ist schematisch ein aufwendigeres Telegramm T dargestellt, das jedoch sämtliche aus Fig. 1 bekannten Elemente enthält. Im Ruhe- oder Wartezustand außerhalb des Telegramms T wird vom Master ständig der Bittakt bt über den Eindraht-Bus gesendet. Das Ende des Bittaktes bt und der Beginn der Daten des Adreßteils ad bilden die Startinformation si. An den Adreßteil ad schließen sich wie in Fig. 1 die erste Marke m1, das Synchronisierbit sb und der in der Länge variable Datenteil dt an. Anders als in Fig. 1, in der nun die Endinformation oi folgt, zeigt eine zweite Marke m2 an, daß das Telegramm T noch nicht zu Ende ist. Es folgt ein ebenfalls in der Länge variabler Testteil tx, eine dritte Marke m3, ein Blockierbit bb und schließlich die Endinformation oi. Der Testteil tx dient der Überprüfung des Adreßteils ad und/oder Datenteils dt. Bei der Feststellung eines Fehlers wird der logische Zustand des Blockierbits bb geändert, wodurch die Ungültigkeit des gesamten übermittelten Telegramms T ausgelöst wird.

Der Adreßteil ad - auch im Format von Fig. 1 - kann in eine Device-Adresse da, eine interne Adresse ia und in eine Operations-Adresse aufgespalten sein. Mittels der Device-Adresse da werden unterschiedliche Slaves angesprochen. Mittels der internen Adresse ia kann man innerhalb eines Slaves auf unterschiedliche Datenquellen oder Datenbanken zugreifen. Die Operations-Adresse oa bestimmt, welche Operation im einzelnen der Slave ausführen soll. Ist der Slave beispielsweise ein Schreib-Lesespeicher, dann kann dieser Speicher mittels der speziellen Operations-Adresse oa für den Schreib- oder Lesebetrieb vorbereitet werden.

Das Synchronisierbit sb in Fig. 1 und Fig. 2 dient dazu, dem Master anzuzeigen, daß der Slave zur Übernahme des angefangenen Telegramms T momentan nicht bereit ist. Der Master gibt dar-

aufhin den Eindraht-Bus durch Senden der Endinformation oi wieder frei und sendet das Telegramm T nach einer Wartezeit gegebenenfalls noch einmal.

Wenn mehrere Master an den Eindraht-Bus angeschlossen sind, dann wird durch das Erkennen der Startinformation si die Aussendung eigener Telegramme T solange unterdrückt, bis die Endinformation oi auf dem Eindraht-Bus erscheint. Beginnen zufälligerweise gleichzeitig mehrere Master mit dem Senden von Telegrammen T, dann "verabschieden" sich nacheinander diejenigen Master, die mittels eines Ausgangsfehlerdetektors af (vgl. Fig. 5) einen Unterschied zwischen dem jeweils gesendeten und empfangenen Bit feststellen. Dies ist dadurch möglich, daß der Eindraht-Bus als "verdrahtete-ODER"-Verknüpfung ausgebildet ist. Hierbei ist einer der beiden Schaltzustände, in der Regel der L-Schaltzustand, bereits durch einen einzigen Master oder einen einzigen Slave zu erzwingen. Auf gleiche Weise wird der logische Zustand des Synchronisierbits sb und des Blockierbits bb innerhalb der jeweiligen Bitperiode verändert. Die Prioritätssteuerung des Eindraht-Busses erfolgt somit auf einfache Weise durch den Ausgangsfehlerdetektor af.

Die "verdrahtete-ODER"-Verknüpfung und der hochohmige Zustand (= Tristate-Zustand) können auch miteinander kombiniert werden. Dann befinden sich alle Master und Slaves bis auf die jeweils aktiven im hochohmigen Tristate-Zustand.

Wenn der aktive Master nach der Aussendung seines Telegramms im Wartezustand seinen Bittakt bt aussendet, dann prägt er allen anderen Master und Slaves seinen Bittakt so lange auf, bis sich ein neuer Master durch eine Startinformation si zu erkennen gibt und fortan die Taktführung übernimmt. In welchem Tastverhältnis der Bittakt bt während des Wartezustandes gesendet wird ist davon abhängig, wie die Erkennung des ersten Adreßbits erfolgt. Eventuell muß vor dem ersten Adreßbit eine logische "0", "1" oder eine Marke als Startinformation si eingeschoben werden.

Fig. 3 zeigt drei Master M, M1, M2 und vier Slaves S, S1, S2, S3, die über einen Eindraht-Bus B zusammengeschaltet sind. Dabei kann jeweils ein Master an einen Slave seriell über den Eindraht-Bus B Daten senden oder von dort abrufen. Die einzelnen Slaves sind dabei durch unterschiedliche Device-Adressen da unterscheidbar. Falls Daten auch zwischen den Master austauschbar sein sollen, müssen die ansprechbaren Master wie ein Slave adressier- und ansprechbar sein. Ein Slave S3 ist als Dreibeinelement dargestellt, wobei zwei Anschlüsse für die Versorgungsspannungen vorgesehen sind und der dritte Anschluß mit dem Eindraht-Bus B verbunden ist. Ein derartiges Bauelement ist beispielsweise ein elektronischer Tem-

peraturfühler, dessen digitalisierter Temperaturwert über den Eindraht-Bus abgerufen wird.

In Fig. 4 ist schematisch als Ausschnitt der Zeitverlauf eines Telegramms T mit zugehörigem Bittakt bt dargestellt. Vom Bittakt bt sind dabei lediglich die Taktperioden markiert, weil der eigentliche Signalverlauf, also das Tastverhältnis, an sich beliebig ist.

Unter dem Bittakt bt ist der Signalverlauf einiger Bittaktperioden des Telegramms T dargestellt. Zu Beginn jeder Bittaktperiode findet ein Übergang vom L- in den H-Schaltzustand statt. Die negative Schaltflanke erfolgt zu bestimmten Zeiten während der Bittaktperiode und definiert innerhalb des Bittaktes unterschiedlich lange H- und L-Schaltzustände. Ein erstes bzw. zweites H/L-Tastverhältnis, das kleiner bzw. größer als 1 ist, definiert eine logische "0" bzw. "1". Ein drittes H/L-Tastverhältnis definiert die Marke mi und eventuell auch den Bittakt bt während des Wartezustandes.

Der Übergang vom Bittakt bt oder von den Marken mi auf ein Datenbit "0" oder "1" kennzeichnet die Startinformation si. Die Endinformation oi wird erkannt, wenn hintereinander mindestens zwei Marken mi gesendet werden. Das Synchronisierbit sb und das Blockierbit bb zeichnen sich dadurch aus, daß vom Master ein erster logischer Zustand, z.B. eine "1", gesendet wird. Wenn der Slave zur weiteren Abwicklung des Telegramms T bereit ist, dann behält er den logischen Zustand des Synchronisierbits sb bzw. des Blockierbits bb bei.

Wenn der Slave zur weiteren Abwicklung des Telegramms T indessen nicht bereit ist, dann löst er durch Umcodierung des Synchronisierbits in einen zweiten logischen Zustand, z.B. eine "0", im Master M ein Nichtbereitschaftssignal aus. Auf ähnliche Weise löst bei einem erkannten Fehler der Slave durch Umcodierung des Blockierbits bb in den zweiten logischen Zustand, z.B. "0", im Master M ein Ungültigkeitssignal aus. In beiden Fällen ist das gesendete Telegramm unwirksam, so daß es später wiederholt werden muß. Diese Zuweisung gilt für die "verdrahtete-ODER"-Verknüpfung, bei der sich eine "0" vor der "1" durchsetzt.

Die erforderlichen Tastverhältnisse lassen sich am einfachsten von einem internen Systemtakt cl oder Hilfstakt ht (vgl. Fig. 5 und Fig. 6) ableiten, dessen Frequenz mindestens das Doppelte des Bittaktes bt beträgt. Die positiven Flanken des Telegramms T liefern den genauen Bittakt bt, an den sich in den Slaves und gegebenenfalls in den anderen Mastern alle Hilfstakt- und Taktgeneratoren phasengenau mit Hilfe von Phasenregelschleifen ankopplern.

In Fig. 5 sind schematisch die einzelnen Funktionsgruppen eines Masters M dargestellt. Da die Funktionsgruppen für den Fachmann geläufige

Schaltungen darstellen, erübrigt sich der besseren Übersichtlichkeit wegen eine ausführlichere Darstellung und Beschreibung. Den Zeitablauf und die Steuerung der einzelnen Funktionsgruppen übernimmt eine Master-Steuereinrichtung st, die aus den einzelnen Funktionsgruppen Steuersignale empfängt oder zu deren Aktivierung Steuersignale sendet.

Eine Ein-Ausgabestufe io ist mit ihrer Ausgangsklemme k mit dem Eindraht-Bus B verbunden und erzeugt die einzelnen H- und L-Schaltssignale im Sendebetrieb. Im Empfangsbetrieb werden die Schaltzustände des Eindraht-Busses B abgefühlt und einen Decodierer dec zugeführt. Eine eventuell vorgesehene Umsteuerung der Ein-Ausgabestufe io in einen hochohmigen Tristate-Zustand erfolgt durch ein Signal auf der gestrichelt dargestellten Steuerleitung f. Dem Decodierer dec für die empfangenen Signale entspricht der Codierer cod für die zu sendenden Signale - er steuert das Tastverhältnis der gesendeten Bits. Der Decodierer dec decodiert die empfangenen Signale bezüglich ihres Tastverhältnisses. Die entsprechenden Fenster werden durch eine Tastverhältnisssteuerung tr, die mit den Steuereingängen des Codierers und Decodierers verbunden ist, gebildet.

Die Tastverhältnisssteuerung tr steuert ferner einen Markengenerator mg, der über die Ein-Ausgabestufe io direkt die Marke mi für den Eindraht-Bus B bildet. Die seriellen Eingangsdaten für den Codierer cod stammen entweder aus einem Adressengenerator ag, einer Datenquelle dq oder einem Testdatengenerator tg. Die seriellen Ausgangsdaten des Decodierers dec werden entweder einer Datensenke ds, dem Testdatengenerator tg oder einem Stoppsignaldetektor sd zugeführt, dessen Vergleichseingang vom Markengenerator mg gespeist ist.

Stellt der Stoppsignaldetektor sd einen wesentlichen Unterschied im Tastverhältnis zwischen den beiden zugeführten Signalen fest, dann signalisiert er der Master-Steuereinrichtung st das Erkennen des Nichtbereitschafts- oder des Ungültigkeitssignals. Ähnlich arbeitet ein Fehlerdetektor fg, der an einem Eingang mit den Ausgangsdaten des Testdatengenerators tg und am anderen Eingang mit den Ausgangsdaten des Decodierers dec gespeist ist. Die Testdaten sind dabei aus den Adreßdaten und/oder den gesendeten oder empfangenen Daten gebildet, die dem Testdatengenerator zur Verrechnung zugeführt sind. Findet im Slave S eine gleiche Verrechnung der Daten zu Testdaten statt, dann wird über einen Vergleich der eigenen mit den empfangenen Testdaten mittels des Fehlerdetektors fd eine fehlerhafte Übertragung erkannt.

Eine andere Erkennung der Nichtbereitschafts- und Ungültigkeitssignale ermöglicht ein Ausgangsfehlerdetektor af, dessen erster Dateneingang an

den Ausgang des Codierers cod und dessen zweiter Dateneingang an die Ausgangsklemme k der Ein-Ausgabestufe io angeschlossen ist. Sowie das Tastverhältnis an den beiden Abgriffen der Ein-Ausgabestufe io einen Unterschied zeigt, wird erkannt, daß ein Slave S das Synchronisier- oder Blockierbit sb, bb umcodiert hat.

Als separater Block ist in Fig. 5 ein Taktgenerator tc dargestellt, der einen internen Systemtakt c1 erzeugt und dessen nicht dargestellte interne Phasenregelschleife an den Eindraht-Bus B angekoppelt oder von einem externen Systemtakt c1' gespeist ist. Die Versorgung des Eindraht-Busses B während des Wartezustandes mit dem Bittakt bt erfolgt durch den Markengenerator mg.

Das Vorhandensein sämtlicher Funktionsgruppen im Master M ist für reduzierte Betriebsaufgaben nicht erforderlich. Sind beispielsweise nur Daten abzurufen, dann entfällt die Datenquelle dq. Der aufwendige Testdatengenerator tg, der auch im Slave erforderlich ist, entfällt, wenn die erforderliche Datenübertragungssicherheit gering oder auf andere Weise erreichbar ist, beispielsweise durch Wiederholung. Die Abwicklung des Datenformats nach Fig. 1 erfordert selbstverständlich ebenfalls keinen Testdatengenerator.

In Fig. 6 ist ein Slave S mit seinen einzelnen Funktionsblöcken schematisch dargestellt. Die funktionale Ähnlichkeit zum Master M kommt dabei auch in der zeichnerischen Darstellung zum Ausdruck. Eine Ein-Ausgabestufe io' ist mit ihrer Ausgangsklemme k' an den Eindraht-Bus B angeschlossen. Der interne Datenausgang dieser Ein-Ausgabestufe ist an einen Decodierer dec' und der interne Dateneingang an den Ausgang eines Codierers cod' angeschlossen, der von einer Datenquelle dq' gespeist ist. Der Ausgang des Decodierers dec' ist auf eine Datensenke ds', einen Adressenkomparator al mit einer Adreßlängen-Überprüfungseinrichtung ue und einen Markendetektor md geführt.

Die Fenster für die verschiedenen Tastverhältnisse im Codierer cod' und Decodierer dec' sind von einer Tastverhältnissteuerung tr' gesteuert. Diese steuert auch das Tastverhältnis für das Nichtbereitschafts- und Ungültigkeitssignal, die in einem Stoppsignalgeber sg gebildet werden und direkt der Ein-Ausgabestufe io' zugeführt sind. Dort wird der zweite logische Zustand, also "0", dem jeweiligen Synchronisierbit sb oder Blockierbit bb zwangsweise aufgeprägt.

Das Vorhandensein eines Bittaktes bt auf dem Eindraht-Bus B während des Wartezustandes wird durch einen Bittaktdetektor bd erkannt, der bei Nichtvorhandensein des Bittaktes über einen Betriebsartumschalter bu, der auf die Slave-Steuereinrichtung st' einwirkt, einen stromsparenden Zustand auslöst. Ferner ist an dem Bittaktdetektor bd ein Hilfstaktgenerator hg angekoppelt, dessen Aus-

gangssignal ein Hilfstakt ht mit einem einfachen ganzzahligen Frequenzverhältnis zum Bittakt bt ist.

Wenn der Slave S in CMOS-Technik ausgeführt ist, dann muß lediglich der interne Takt abgeschaltet werden, um die Schaltung in einen stromlosen Zustand zu bringen.

Im Adressenkomparator al, dem Adressen beliebiger Länge zugeführt werden können, befindet sich die Adreßlängen-Überprüfungseinrichtung ue. Bei Nichtübereinstimmung des Adreßteils ad (oder der Device-Adresse da) und der Adreßlänge unterbleibt die Aussendung eines Übernahmesignals aj (vgl. Fig. 7) an die Slave-Steuereinrichtung st'. Somit kann eine zufällige Adressenübereinstimmung in unterschiedlich langen Adressen nicht zur Übernahme führen.

Fig. 7 zeigt schematisch als Blockschaltbild ein Ausführungsbeispiel einer Adreßlängen-Überprüfungseinrichtung ue. Sie erfordert nur sehr wenig zusätzliche Bauelemente und besteht im wesentlichen aus dem sowieso vorhandenen Schieberegister sr, in dem die seriell zugeführten Daten des Adreßteils ad gespeichert sind.

Das Schieberegister sr enthält zur Adreßlängenüberprüfung mindestens  $n+1$  Schieberegisterstufen, wobei n die Stellenanzahl der zu erkennen- den Adresse ist. Mittels eines Startsignals si', das aus der Startinformation si abgeleitet ist, werden spätestens zu Beginn des Einschreibvorgangs alle Schieberegisterstufen bis auf die erste auf "0" gesetzt; die erste Schieberegisterstufe wird auf "1" gesetzt. Das Setzen der einzelnen Schieberegisterstufen erfolgt über ihre Setz- und Rücksetzeingänge oder über ihre Dateneingänge, denen von einem ersten oder zweiten Speicher h1, h2 jeweils entweder eine "1" oder eine "0" zugeführt wird.

Mit dem Beginn des Adreßteils ad beginnt das serielle Einlesen der Adressen in die einzelnen Schieberegisterstufen, das so lange andauert, bis die erste Marke m1 den Schieberegisterstufen beendet. Bei Übereinstimmung der Adressenlänge muß die gesetzte "1" der ersten Schieberegisterstufe in der Zwischenzeit bis in die  $(n+1)$ -te Schieberegisterstufe weitergeschoben worden sein. Als Kriterium für die richtigen Adreßlänge dient die Überprüfung, daß eine erste "1" in der  $(n+1)$ -ten Schieberegisterstufe angekommen ist, und daß diese erste "1" auch dort noch vorhanden ist.

In dem dargestellten Ausführungsbeispiel nach Fig. 7 umfaßt die Schaltung für diese Überprüfung ein erstes und zweites RS-Flipflop f1, f2, zwei weitere Schieberegisterstufen  $n+1$  und  $n+2$ , ein Inverter i und schließlich ein erstes und zweites UND-Gatter u1, u2. Mit dem Startsignal si' werden zu Beginn des Adreßlängen-Meßintervalls die Rücksetzeingänge R der beiden RS-Flipflops f1, f2 aktiviert. Der Setzeingang Set des ersten bzw. zweiten RS-Flipflops f1, f2 ist mit dem Ausgang der

(n+1)-ten bzw. (n+2)-ten Schieberegisterstufe verbunden. Der Q-Ausgang des ersten bzw. zweiten RS-Flipflops f1, f2 ist mit einem Eingang des ersten UND-Gatters u1 direkt bzw. mit einem zweiten Eingang über den Inverter i verbunden. Ein weiterer Eingang des ersten UND-Gatters ist mit dem Ausgang eines Device-Adressenkomparators dk verbunden, dessen Paralleleingang von denjenigen Schieberegisterstufen gespeist ist, die die Device-Adresse da enthalten. Der Device-Adressenkomparator enthält die zu erkennende Device-Adresse als Hardware- oder Software-Information.

Das Erkennen der richtigen Adressenlänge ergibt sich aus der Gültigkeitsüberprüfung folgender Schaltzustände:

1. Der Q-Ausgang des ersten RS-Flipflops f1 muß eine "1" aufweisen, das heißt, daß im Meßintervall mindestens einmal eine "1" in der (n+1)-ten Schieberegisterstufe war.
2. Der Q-Ausgang des zweiten RS-Flipflops f2 muß eine "0" aufweisen, das heißt, daß im Meßintervall bisher keine "1" in der (n+2)-ten Schieberegisterstufe war. Andernfalls wäre das zweite RS-Flipflop f2 in den anderen Zustand gekippt worden - dies wäre durch eine "1" am Q-Ausgang erkennbar.
3. Schließlich muß der Ausgang des Device-Adressenkomparators dk anzeigen, daß eine Übereinstimmung aller Stellen im Bereich der Device-Adresse da vorhanden ist.
4. Da die vorausgehenden Prüfungen 1 bis 3 erst dann das Übernahme-signal aj auslösen sollen, wenn die erste Marke m1 das Ende des Adreßteils ad signalisiert hat, wird die Wirksamkeit dieser Überprüfung von der ersten Marke m1 abhängig gemacht, indem ein von ihr abgeleitetes Signal m1' und das Ausgangssignal des ersten UND-Gatters u1 jeweils auf einen Eingang des zweiten UND-Gatters u2 geschaltet werden. Der Ausgang dieses UND-Gatters liefert das gewünschte Übernahme-signal aj.

Die Überprüfung des Schaltzustandes der (n+1)-ten Schieberegisterstufe kann natürlich auch auf andere Weise erfolgen. Beispielsweise kann überprüft werden, ob das erste RS-Flipflop f1 erstmalig mit dem letzten Bittakt gekippt ist oder schon früher.

In Fig. 8 ist schematisch als Blockschaltbild eine Mehrfachdatenquelle dargestellt, die als Datenquelle dq' in einem Slave dient. Die eigentliche Datenquelle besteht dabei aus mehreren Analogsignalquellen q1, q2, qi, die von einem ersten Multiplexer p1 nacheinander abgetastet und einem Analog-Digitalumsetzer ac zugeführt werden. Dessen Ausgang speist den Eingang eines zweiten Multiplexers p2, der die Daten in die Speicherzellen r1, r2, ri einer Speichereinrichtung mr einschreibt. Das Auslesen der Daten dat der einzelnen

Speicherzellen erfolgt durch Ansteuerung der jeweiligen Speicherzelle mittels der internen Adresse ia. Wenn in der Datenquelle dq' nur eine einzige Analogsignalquelle q1 vorhanden ist, dann entfällt natürlich der erste und zweite Multiplexer p1, p2 und die Speichereinrichtung mr benötigt nur eine einzige Speicherzelle r1, wobei die oben beschriebene Adressierung über die interne Adresse ia ebenfalls entfällt.

Eine besonders vorteilhafte Anwendung von derartigen Master-Slave-Datenübertragungssystemen, in denen die Slaves als Datenquellen dq' eine einfache oder eine mehrfache Analogsignalquelle enthalten, findet sich in allen Arten von Sensorbauelementen für die unterschiedlichsten Meßaufgaben. Ihr Anschluß über den Eindraht-Bus B ermöglicht, daß eine Vielzahl von gleichen oder unterschiedlichen Sensorbauelementen über eine einzige Eindraht-Verbindung abgefragt werden können. Zusätzlich läßt sich die erforderliche Anzahl der Anschlußbeine der Sensorbauelemente im Extremfall bis auf drei Anschlüsse verringern, vgl. Fig. 3 und Fig. 9. Der erste Anschluß a1 dient der Verbindung mit dem Eindraht-Bus B. Der zweite und der dritte Anschluß a2, a3, dienen der Verbindung mit der positiven und negativen Versorgungsspannung.

Fig. 9 zeigt schematisch ein dreibeiniges Sensorbauelement S3, das beispielsweise an einen ohmschen Positions- oder Drehwinkelgeber Rx angeschlossen ist. Dessen unbekannter Widerstand kann dadurch bestimmt werden, daß über den Eindraht-Bus B als Daten die Spannung U zwischen dem zweiten und dritten Anschlußbein a2, a3 und der Querstrom I abgerufen werden. Aus den übermittelten Werten U, I und der bekannten Versorgungsspannung Ub läßt sich im Master M mit Hilfe eines an die Datensenke ds im Master M angeschlossenen Rechenwerkes der unbekannte Widerstandswert Rx bestimmen.

Bei unbekannter Versorgungsspannung Ub muß durch interne Maßnahmen im Sensor S3 der unbekannte Widerstandswert des Positionsgebers Rx aus zwei unterschiedlichen Meßungen bestimmt werden, wobei entweder die Spannung U oder der Querstrom I durch interne Maßnahmen im Sensor S3 umgeschaltet werden muß.

Wenn es auf den absoluten Widerstandswert des Positionsgebers Rx nicht ankommt und eine Relativmessung ausreichend ist, dann genügt es, wenn im Sensor S3 ein zugeschalteter Strom I1 in festen, aber vorgegebenen Stufen veränderbar ist oder einfach verdoppelt wird. Aus den gemessenen Spannungswerten U läßt sich dann die relative Widerstandsänderung des Positionsgebers Rx ermitteln, ohne den eigentlichen Wert des Querstromes I zu kennen. Dies reicht meistens aus, um eine bestimmte Position oder einen vorgegebenen Drehwinkel usw. wieder einzustellen.

Im einzelnen enthält die schematische Darstellung nach Fig. 9 zusätzlich zu den bereits näher beschriebenen Funktionsgruppen sj des Slaves eine Stromquellen-Umschalteneinrichtung xq und/oder eine Spannungsquellen-Umschalteneinrichtung xu. Als Analogsignalquelle dient eine Einrichtung zur Spannungsmessung zwischen dem zweiten und dritten Anschlußbein a2, a3, die in Fig. 9 jedoch nicht dargestellt ist.

In Fig. 10 ist eine andere vorteilhafte Anwendung für ein derartiges Master-Slave-Datenübertragungssystem mit einem Eindraht-Bus B dargestellt, nämlich ein Speicherbauelement S4 mit "eingebauter Intelligenz". Die Speichereinrichtung mr enthält dabei in einem geschützten Speicherbereich mp ein Adressenrechenprogramm, das über ein Master-Slave-Datenübertragungssystem mj nach der Erfindung in diesen Speicherbereich eingelesen wird. Die Ausgangsklemme k' des Slaves ist dabei das erste Anschlußbein a1 des Speicherbauelements, das an den Eindraht-Bus B angeschlossen ist. Von dort empfängt das Speicherbauelement S4 in einer Programmierungsphase die Telegramme T, die die einzelnen Schritte des Adressenrechenprogramms enthalten. In der Regel handelt es sich dabei um einfache, sich zyklisch wiederholende Rechenprogramme, wobei die einzelnen Adressen in einer Adressen-Recheneinrichtung ap ermittelt werden. Der frei zugängliche Bereich mf der Speichereinrichtung mr ist mit einer Daten-Ausgangsstufe vo und einer Daten-Eingangsstufe vi verbunden. Für die Ausgangs- bzw. Eingangsdaten od, id stehen dabei jeweils mindestens ein Satz Anschlußbeine zur Verfügung, über die eine parallele Abwicklung des Datentransfers ermöglicht wird.

Die interne Synchronisierung erfolgt mittels eines Hilfstaktes ht, der durch einen Hilfstaktgenerator hg gebildet wird, der entweder auf den Bittakt bt eingerastet ist oder auf ein Abrufsignal sa. Mit dem externen Abrufsignal sa wird auch der Datenzyklus synchronisiert, dessen Periode ein einfaches ganzzahliges Vielfaches des Hilfstaktes ht oder des Bittaktes bt ist. Der Synchronismus zwischen den verschiedenen Takten wird auf übliche Weise mittels einer Phasenregelschleife im Hilfstaktgenerator hg erreicht.

Ein derartiges Speicherbauelement S4 mit eingebauter Adressenberechnung ist besonders dort von Vorteil, wo die Lese- und Schreibrate und die erforderliche Anzahl von Anschlußbeinen sehr hoch ist. Ein derartiger Speicher wird beispielsweise bei der Vollbildspeicherung von Farbfernsehsignalen zur Bildsignalverarbeitung benötigt.

Der Gehäuseaufwand für vielbeinige Speicherbauelemente ist sehr hoch. Mit der Anzahl der Anschlußbeine nimmt in der Regel ihre Länge zu. Dies hat eine stärkere Verkopplung der Signale

untereinander zur Folge, wodurch die Datenrate beschränkt wird. Die Erfindung schafft hier ganz wesentliche Abhilfe, weil derartige schnelle Bauelemente jetzt völlig ohne Adressenbeine auskommen.

Eine andere vorteilhafte Art von Speicherbauelementen S5 ist in Fig. 11 dargestellt. Es handelt sich hierbei um eine reine Dreibeinanordnung, deren erster Anschluß a1 mit dem Eindraht-Bus B verbunden ist, während das erste und dritte Anschlußbein mit der positiven bzw. negativen Versorgungsspannung verbunden sind. Derartige dreibeinige Speicherbauelemente S5 sind dort einsetzbar, wo eine geringe Datenübertragungsrate ausreicht. Die serielle Abwicklung des gesamten Datenübertragungsvorgangs kann dann ohne weiteres über den Eindraht-Bus B erfolgen. Über den internen Adreßteil ia im Telegramm T kann die jeweilige interne Adresse im Speicherbauelement S5 angesteuert werden, die beispielsweise Abgleich- oder Einstellaten für eine Bildröhre enthält. Werden die gespeicherten Daten im Betrieb nicht verändert, dann vereinfacht sich die Speichereinrichtung zu einem Nur-Lese-Speicher. Von Vorteil erweist sich bei diesen dreibeinigen Bauelementen, daß kostengünstige dreibeinige Transistorgehäuse verwendet werden können. Die langsame Abwicklung des Telegramms T auf dem Eindraht-Bus B erfordert zudem keinen eigentlichen Master M als Bauelement, sondern kann durch ein funktionsgleiches Abwicklungsprogramm, das als Software in einen handelsüblichen Mikroprozessor geladen wird, ersetzt werden.

## Patentansprüche

### 1. Master-Slave-Datenübertragungssystem mit

- einem Master (M), der über eine Ein-Ausgabestufe (io) an einen Slave (S) Daten sendet oder von dort abrufen, wobei der Datentransfer über einen Eindraht-Bus (B) mittels eines Telegramms (T) erfolgt, das folgende Teilabschnitte enthält:
  - einen Adreßteil (ad), der die Datensenke oder Datenquelle im Slave (S) definiert,
  - einen Datenteil (dt), der entweder die gesendeten oder die abgerufenen Daten enthält und
  - eine Start- (si) und eine Endinformation (oi),

gekennzeichnet durch folgende Merkmale:

- an den Eindraht-Bus (B) ist mindestens ein Master (M, M1, M2) und mindestens ein Slave (S, S1, S2, S3) mittels seiner Ein-Ausgabestufe (io') angeschlossen,
- das Adreßende des in der Länge von



- Telegramm (T) zu Telegramm (T) beliebig vorgebbaren Adreßteils (ad) ist durch eine erste Marke (m1) definiert,
- der jeweils anzusprechende Slave (S) enthält eine Adreßlängen-Überprüfungseinrichtung (ue), 5
  - die Länge des Datenteils (dt) ist von Telegramm (T) zu Telegramm (T) beliebig vorgebar,
  - mindestens dem Telegramm (T) ist ein Bittakt (bt) überlagert, 10
  - die Startinformation (si) löst für die Dauer des Telegramms (T) eine Sperrung der anderen Master (M1, M2) aus und
  - ein Ausgangsfehlerdetektor (af) dient der Prioritätssteuerung und verhindert den konkurrierenden Betrieb mehrerer Master. 15
2. Datenübertragungssystem nach Anspruch 1, gekennzeichnet durch folgende Merkmale: 20
- im Telegramm (T) ist nach der ersten Marke (m1) ein Synchronisierbit (sb) eingefügt,
  - mittels der Beibehaltung eines ersten logischen Zustandes ("1") des Synchronisierbits (sb) ist dem Master (M) vom Slave (S) angezeigt, daß das Telegramm (T) weiter abzuwickeln ist, und 25
  - mittels eines Nichtbereitschaftssignals, das durch Umcodierung des Synchronisierbits (sb) in einen zweiten logischen Zustand ("0") gebildet wird, zeigt der Slave (S) dem Master (M) an, daß der Slave zur Abwicklung des Telegramms (T) nicht bereit ist, und 30
  - der Master (M) beendet die Sperrung des Eindraht-Busses (B) für die anderen Master (M1, M2), indem er die Endinformation (oi) sendet. 35 40
3. Datenübertragungssystem nach einem der Ansprüche 1 bis 2, dadurch gekennzeichnet, daß der Adreßteil (ad) eine Device-Adresse (da) und/oder eine interne Adresse (ia) und/oder eine Operations-Adresse (oa) enthält. 45
4. Datenübertragungssystem nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der Datenteil (dt) Programmbefehle enthält, die unter der jeweiligen internen Adresse (ia) einzuschreiben sind. 50
5. Datenübertragungssystem nach einem der Ansprüche 1 bis 4, gekennzeichnet durch folgende Merkmale: 55
- zwischen den Datenteil (dt) und die Endinformation (oi) ist in folgender Reihenfolge eine zweite Marke (m2), ein in der Länge variabler Testteil (tx) zur Überprüfung des Daten- und/oder Adreßteils (dt, ad), eine dritte Marke (m3) und schließlich ein Blockierbit (bb) eingefügt, und
  - bei einem erkannten Fehler löst der Slave (S) durch Umcodierung des Blockierbits (bb) ein Ungültigkeitssignal aus, welches das gesendete Telegramm (T) unwirksam macht.
6. Datenübertragungssystem nach einem der Ansprüche 1 bis 5, gekennzeichnet durch folgende Merkmale:
- mittels einer Übertragung des Bittaktes (bt) auf dem Eindraht-Bus (B) außerhalb der Telegramme (T) sind die angeschlossenen Slaves (S, S1, S2, S3) in den Aktivzustand versetzt und
  - mittels der Unterdrückung des Bittaktes (bt) auf dem Eindraht-Bus (B) ist mindestens einer der Slaves (S, S1, S2, S3) in einen stromsparenden Wartezustand versetzt.
7. Datenübertragungssystem nach einem der Ansprüche 1 bis 6, gekennzeichnet durch folgende Merkmale:
- der logische Zustand ("1", "0") der Bits im Telegramm (T) ist durch ein erstes oder zweites zeitliches Tastverhältnis zwischen einem ersten und einem zweiten Schaltzustand (H, L) des Eindraht-Buses definiert, wobei der Übergang vom zweiten (L) in den ersten Schaltzustand (H) den Beginn der jeweiligen Bittaktperiode definiert und
  - die erste, zweite und dritte Marke (m1, m2, m3) und die Bits der Endinformation (oi) sind durch ein drittes Tastverhältnis zwischen dem ersten und zweiten Schaltzustand (H, L) definiert, das insbesondere ein zeitliches Verhältnis von 1: 1 aufweist.
8. Datenübertragungssystem nach Anspruch 7, gekennzeichnet durch folgende Merkmale:
- das Synchronisierbit (sb) und das Blockierbit (bb) weisen jeweils einen ersten oder einen zweiten logischen Zustand ("1", "0") auf, der durch das erste oder zweite Tastverhältnis zwischen dem ersten und zweiten Schaltzustand (H, L) definiert ist,
  - der erste logische Zustand ("1") signalisiert die ungestörte Abwicklung des Telegramms (T) und
  - der zweite logische Zustand ("0") signalisiert

siert die Unterbrechung oder die Ungültigkeit des Telegramms (T).

9. Datenübertragungssystem nach Anspruch 8, gekennzeichnet durch folgende Merkmale:

- der Eindraht-Bus (B) bildet mit den Ein-Ausgabestufen (io, io') der angeschlossenen Master (M, M1, M2) und Slaves (S, S1, S2, S3) eine "verdrahtete-ODER"-Verknüpfung, wobei einer der Schaltzustände (L) des Eindraht-Buses bereits durch einen einzigen Master oder einen einzigen Slave zu erzwingen ist, und
- beim zweiten Tastverhältnis ist die Zeitdauer des erzwungenen Schaltzustandes (L) gegenüber dem ersten Tastverhältnis verlängert.

10. Datenübertragungssystem nach einem der Ansprüche 1 bis 9, gekennzeichnet durch folgende Merkmale:

- die Adreßlängen-Überprüfungseinrichtung (ue) ist an ein Schieberegister (sr), in dem der empfangene Adreßteil (ad) gespeichert ist, angeschlossen,
- dieses Schieberegister (sr) enthält mindestens  $n+1$  Schieberegisterstufen, wobei  $n$  die Stellenanzahl der zu erkennenden Adresse ist,
- spätestens durch die Startinformation (si) wird die erste Schieberegisterstufe auf "1" gesetzt und die anderen Schieberegisterstufen auf "0",
- die erste Marke (m1) löst die Adreßlängen-Überprüfung aus, wobei eine Auswerteschaltung überprüft, ob in der  $(n+1)$ -ten Schieberegisterstufe erstmalig vom Startzeitpunkt aus gerechnet eine "1" angekommen ist und wenn ja, ob diese dort auch noch vorhanden ist.

11. Sensorbauelement mit einem Datenübertragungssystem nach einem der Ansprüche 1 bis 10, bei dem das Sensorbauelement (S3) den Slave (S) bildet und wobei das Sensorbauelement (S3) als Datenquelle (dq') mindestens eine Analogsignalquelle (q) enthält, deren Signalwert mittels eines Analog-Digitalumsetzers (ac) digitalisiert und in einer Speicherzelle (ri) abgelegt ist, wobei der Inhalt dieser Speicherzelle (ri) vom Master (M) über den mit einem Anschlußbein des Sensorbauelements verbundenen Eindraht-Bus (B) mittels des Telegramms (T) abrufbar ist.

12. Sensorbauelement nach Anspruch 11, gekennzeichnet durch folgende Merkmale:

- mehrere Analogsignalquellen (q1, q2) in

einem Slave (S, S3) sind über einen selbständigen ersten Multiplexer (p1) abgetastet und mittels des Analog-Digitalumsetzers (ac) digitalisiert,

- die Ausgangsdaten des Analog-Digitalumsetzers (ac) sind mittels eines zweiten Multiplexers (p2), der mit dem ersten Multiplexer (p1) synchronisiert ist, für jede Analogsignalquelle jeweils in einer Speicherzelle (r1, r2, ri) abgelegt, und
- die jeweilige Speicherzelle (r1, r2, ri) ist mittels der Device- und der internen Adresse (da, ia) über den Eindraht-Bus (B) anzusteuern.

13. Sensorbauelement nach Anspruch 11 oder 12, dadurch gekennzeichnet, daß es im Minimum drei elektrische Anschlußbeine aufweist, wobei das erste Anschlußbein (a1) an den Eindraht-Bus (B), das zweite Anschlußbein (a2) an eine positive und das dritte Anschlußbein (a3) an eine negative Versorgungsspannung anzuschließen sind.

14. Sensorbauelement nach Anspruch 13, dadurch gekennzeichnet, daß über den Eindraht-Bus (B) die gemessene Spannung U oder der gemessene Strom I zwischen dem zweiten und dritten Anschlußbein (a2, a3) als Datenwort abzurufen sind.

15. Sensorbauelement nach Anspruch 14, gekennzeichnet durch folgende Merkmale:

- das Sensorbauelement enthält eine Stromquellen-Umschalteneinrichtung (xu), die zwischen dem zweiten und dritten Anschlußbein (a2, a3) den Stromfluß I definiert in mindestens zwei Stufen ändert und/oder
- das Sensorbauelement weist eine Spannungsquellen-Umschalteneinrichtung (xq) auf, die zwischen dem zweiten und dem dritten Anschlußbein (a2, a3) die Spannung U definiert in mindestens zwei Stufen ändert.

16. Speicherbauelement mit einem Datenübertragungssystem nach einem der Ansprüche 1 bis 10 bei dem das Speicherbauelement den Slave (S4, S5) bildet, der als Datenquelle oder Datensinke eine monolithisch integrierte Speichereinrichtung (mr) mit einer Vielzahl von Speicherzellen (ri) für Daten, die über die Device- und/oder interne Adresse (da, ia) abzurufen und/oder einzuschreiben sind, enthält, und wobei eine Umschaltung vom Lese- in den Schreibbetrieb mittels der Operations-Adresse (oa) erfolgt.

17. Speicherbauelement nach Anspruch 16, dadurch gekennzeichnet, daß der Slave (S4, S5) eine Adressen-Recheneinrichtung (ap) für vorgegebene Adressenzyklen enthält und daß nach Aufruf eines derartigen Adressenzyklus in den folgenden Telegrammen (T) der Adreßteil (ad) entfällt, wobei der Adreßzyklus Lese- und/oder Schreiboperationen enthält. 5
18. Speicherbauelement nach Anspruch 17, gekennzeichnet durch folgende Merkmale: 10
- die Adressen-Recheneinrichtung (ap) und die Speichereinrichtung (mr) sind Teile einer monolithisch integrierten Schaltung,
  - das Programm für die Adressen-Recheneinrichtung (ap) ist in einem geschützten Bereich (mp) der Speichereinrichtung (mr) als Adressen-Rechenprogramm abgelegt und 15
  - das Adressen-Rechenprogramm ist über den Eindraht-Bus (B) in die Speichereinrichtung geschrieben. 20
19. Speicherbauelement nach Anspruch 16, dadurch gekennzeichnet, daß es im Minimum drei elektrische Anschlußbeine enthält, wobei das erste Anschlußbein (a1) an den Eindraht-Bus (B), das zweite Anschlußbein (a2) an eine positive und das dritte Anschlußbein (a3) an eine negative Versorgungsspannung anzuschließen sind. 25 30
20. Speicherbauelement nach Anspruch 17, gekennzeichnet durch folgende Merkmale:
- das Speicherbauelement enthält keine Anschlußbeine für die Zuführung der Speicheradressen, 35
  - eines der Anschlußbeine, das an den Eindraht-Bus (B) angeschlossen ist, dient der Zuführung des Adressen-Rechenprogramms während einer Programmierungsphase, 40
  - die interne Neuberechnung einer Adresse in der normalen Betriebsphase wird durch ein externes Abrufsignal (sa) synchronisiert und 45
  - die Ein- und/oder Ausgabe der Daten erfolgt für alle Stellen eines Datenwortes parallel über Daten-Anschlußbeine. 50
21. Speicherbauelement nach Anspruch 20, dadurch gekennzeichnet, daß Videodaten aus dem Fernsehsignalbereich in einem festen Adressenzyklus geschrieben und gelesen werden. 55

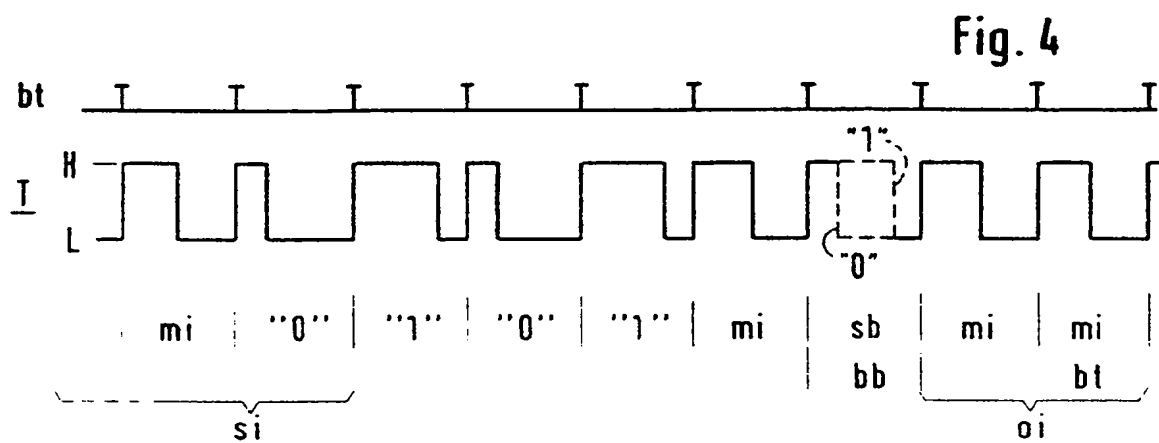
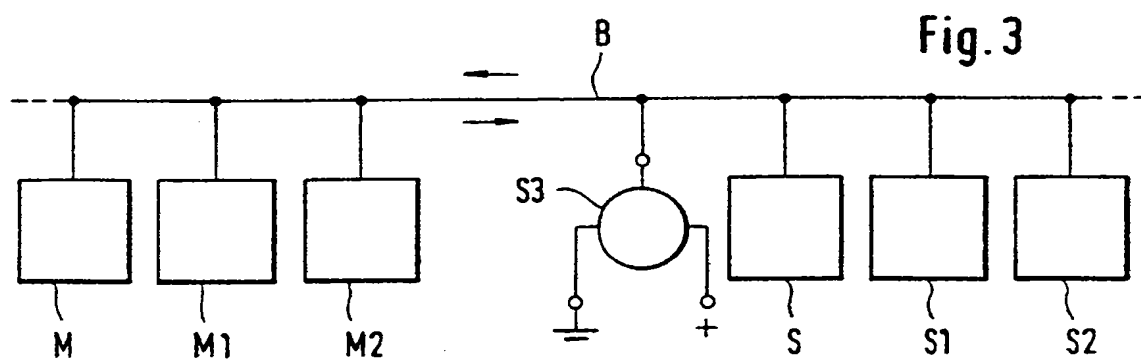
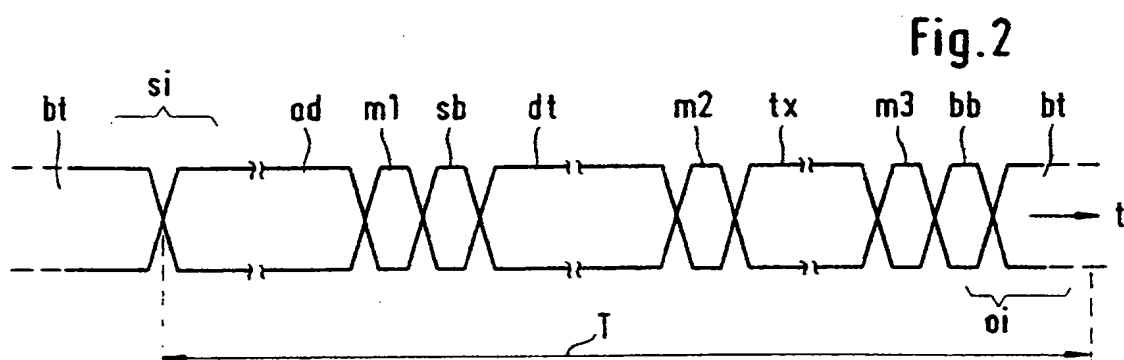
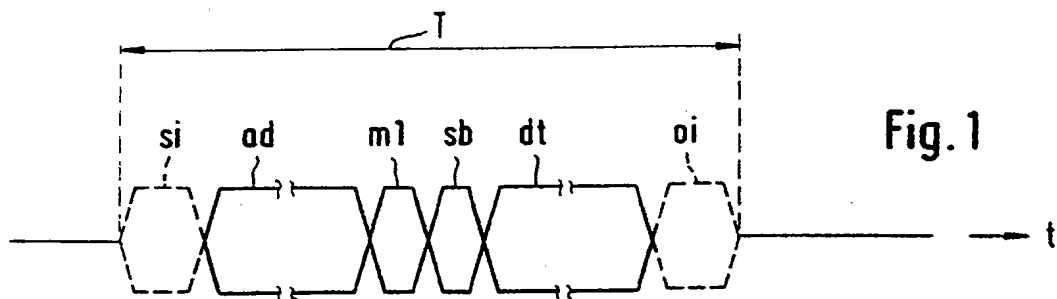


Fig. 5

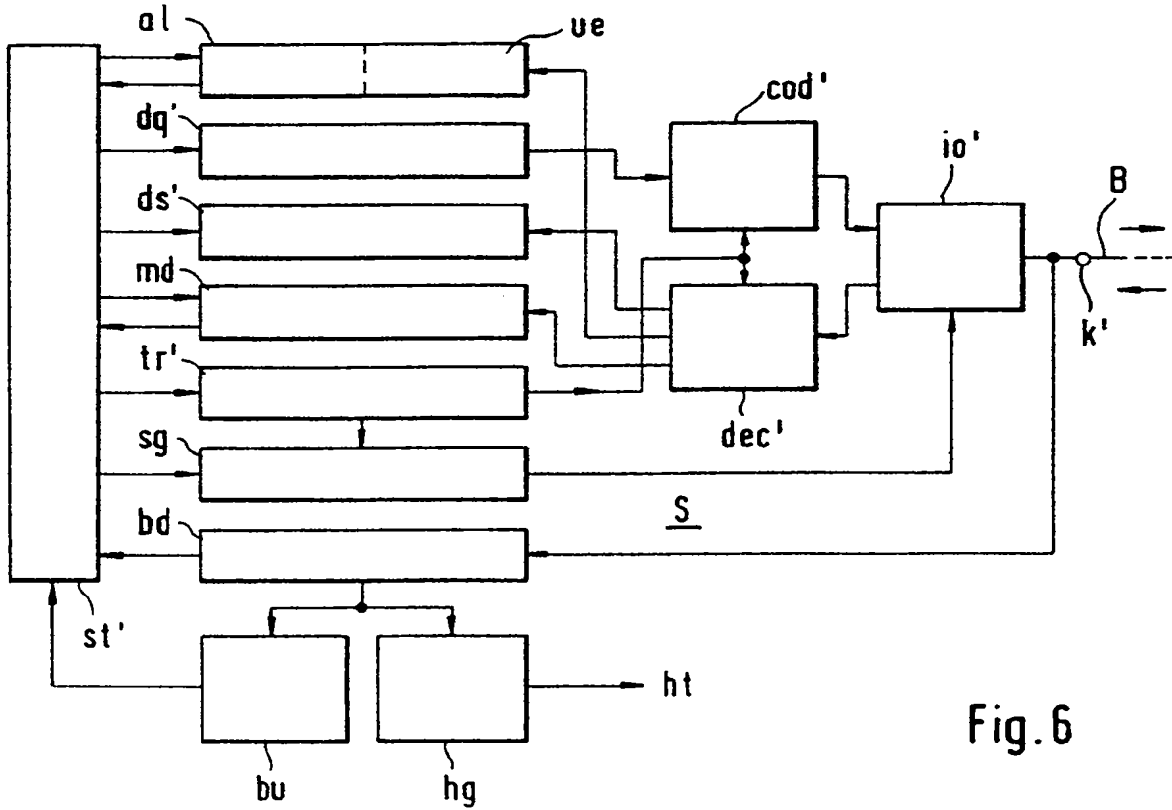
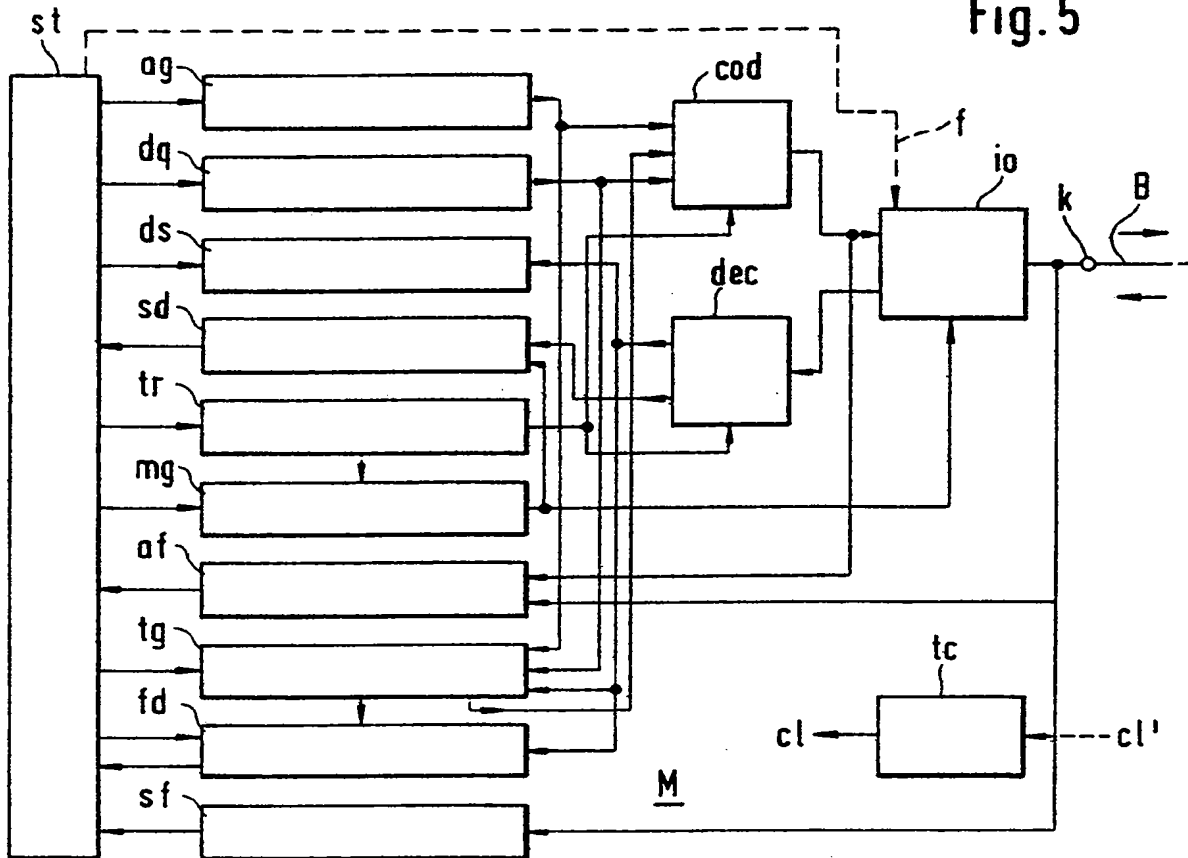
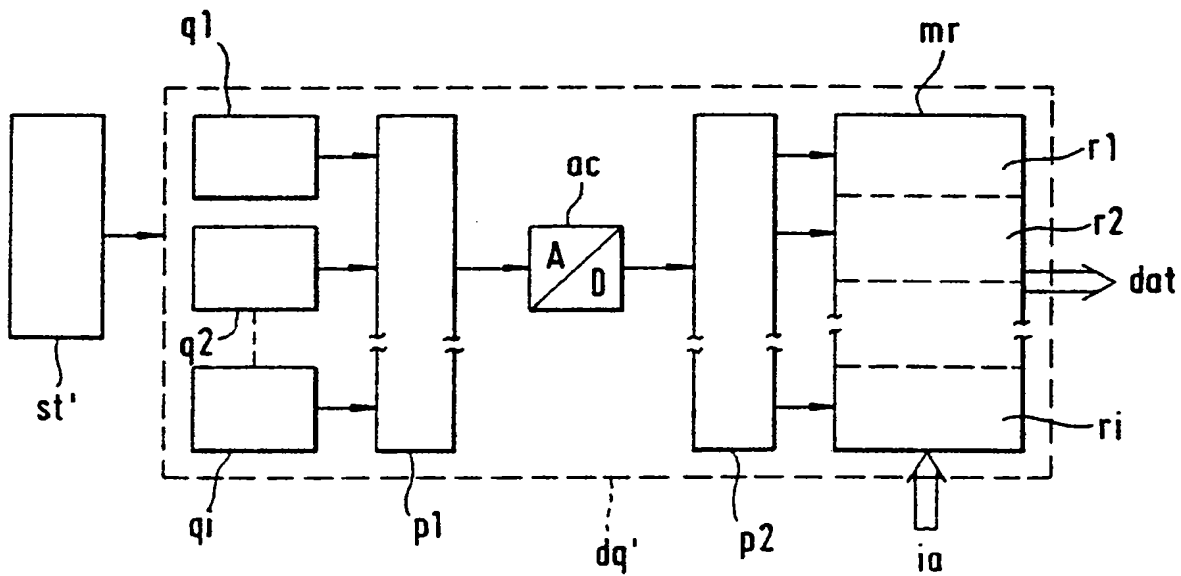
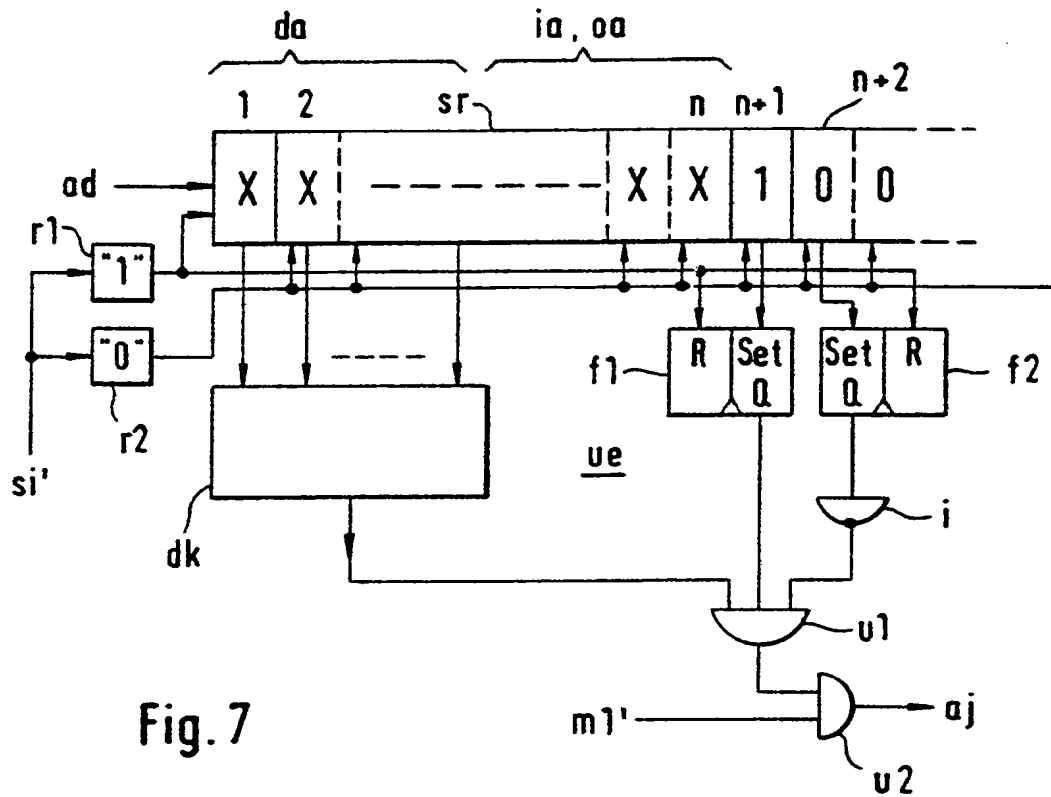
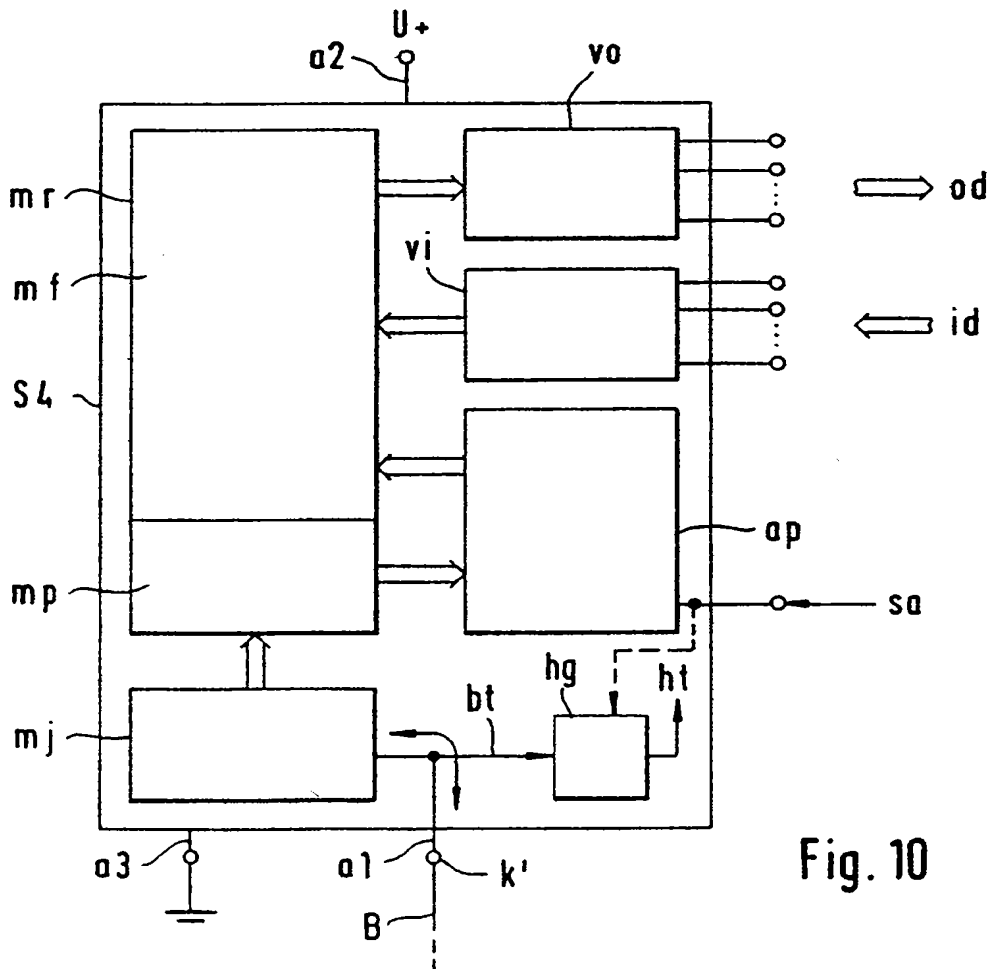
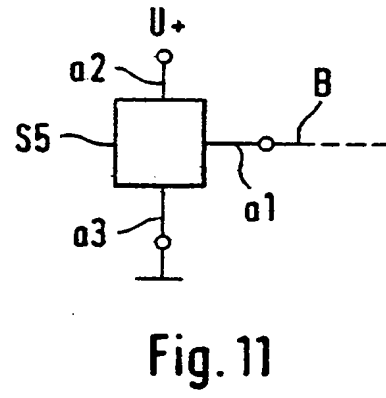
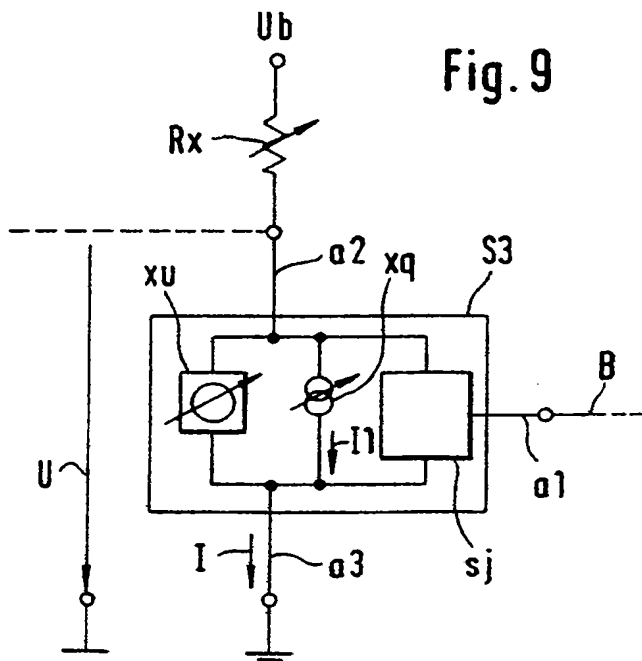


Fig. 6







Europäisches  
Patentamt

## EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 90 12 3647

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.5)
A	IEEE TRANSACTIONS ON CONSUMER ELECTRONICS, Band CE-29, Nr. 3, August 1983, Seiten 297-304; F.W. GUTZWILLER et al.: "Homenet: a control network for consumer applications" * Seite 297, linke Spalte, Zeilen 39-44; Seite 297, rechte Spalte, Zeilen 11-22; Seite 298, rechte Spalte, Zeilen 13-46; Seite 299, linke Spalte, Zeilen 18-33; Seite 299, rechte Spalte, Zeilen 2-8 *	1	H 04 L 12/40
A	NEW ELECTRONICS, Band 17, Nr. 8, April 1984, Seiten 27-28,31,33; T. DANBURY: "D2B - A digital data bus for small area networks" * Seite 27, rechte Spalte, Zeilen 4-27; Seite 31, linke Spalte, Zeile 34 - Seite 31, Zeile 23 *	1,2,5,6 8,9	
A	EP-A-0 315 158 (MATSUSHITA) * Spalte 6, Zeilen 6-18; Abbildung 13 *	1,3,4	RECHERCHIERTE SACHGEBIETE (Int. Cl.5)
A	EP-A-0 217 571 (FORD) * Seite 6, Zeilen 27-30; Seite 17, Zeilen 1-21; Abbildungen 8,9 *	1,7,8	H 04 L G 06 F
A	EP-A-0 069 509 (FUJITSU) * Seite 1, Zeilen 1-6; Seite 3, Zeilen 5-25; Abbildung 1 *	1,10,16 -18,20	
A	US-A-4 438 491 (CONSTANT) * Spalte 4, Zeilen 34-44 *	1,11	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchewort DEN HAAG		Abschlußdatum der Recherche 11-07-1991	Prüfer DE LA FUENTE DEL AGUA P.
KATEGORIE DER GENANNTEN DOKUMENTE X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	